

## 关于 ATMEGA16 的技术文档

### 一、产品简介

高性能、低功耗的 8 位 AVR 微处理器，先进的 RISC 结构，131 条指令，大多数指令执行时间为单个时钟周期，32 个 8 位通用工作寄存器，全静态工作，工作于 16MHz 时性能高达 16MIPS，只需两个时钟周期的硬件乘法器，非易失性程序和数据存储器，16K 字节的系统内可编程 Flash，擦写寿命: 10,000 次，具有独立锁定位的可选 Boot 代码区，通过片上 Boot 程序实现系统内编程，真正的同时读写操作，512 字节的 EEPROM，擦写寿命: 100,000 次，1K 字节的片内 SRAM，可以对锁定位进行编程以实现用户程序的加密，JTAG 接口(与 IEEE 1149.1 标准兼容)，符合 JTAG 标准的边界扫描功能，支持扩展的片内调试功能，通过 JTAG 接口实现对 Flash、EEPROM、熔丝位和锁定位的编程。

### 引脚说明:

VCC 电源正

GND 电源地

端口 A(PA7..PA0)

端口 A 做为 A/D 转换器的模拟输入端。端口 A 为 8 位双向 I/O 口，具有可编程的内部上拉电阻。其输出缓冲器具

有对称的驱动特性，可以输出和吸收大电流。作为输入使用时，若内部上拉电阻使能，端口被外部电路拉低时将输出电流。在复位过程中，即使系统时钟还未起振，端口 A 处于高阻状态。

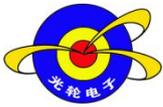
端口 B(PB7..PB0)

端口 B 为 8 位双向 I/O 口，具有可编程的内部上拉电阻。其输出缓冲器具具有对称的驱动特性，可以输出和吸收大电流。作为输入使用时，若内部上拉电阻使能，端口被外部电路拉低时将输出电流。在复位过程中，即使系统时钟还未起振，端口 B 处于高阻状态。

端口 B 也可以用做其他不同的特殊功能。

端口 C(PC7..PC0)

端口 C 为 8 位双向 I/O 口，具有可编程的内部上拉电阻。其输出缓冲器具具有对称的驱动特性，可以输出和吸收大电流。作为输入使用时，若内部上拉电阻使能，端口被外部电路拉低时将输出电流。在复位过程中，即使系统时钟还未起振，端口 C 处于高阻状态。如果 JTAG 接口使能，即使复位出现引脚



PC5(TDI)、PC3(TMS)与PC2(TCK)的上拉电阻被激活。端口C也可以用做其他不同的特殊功能。

#### 端口D(PD7..PD0)

端口D为8位双向I/O口，具有可编程的内部上拉电阻。其输出缓冲器具有对称的驱动特性，可以输出和吸收大电流。作为输入使用时，若内部上拉电阻使能，则端口被外部电路拉低时将输出电流。在复位过程中，即使系统时钟还未起振，端口D处于高阻状态。端口D也可以用做其他不同的特殊功能。

RESET 复位输入引脚。持续时间超过最小门限时间的低电平将引起系统复位。门限时间见 P36Table 15。持续时间小于门限间的脉冲不能保证可靠复位。

#### XTAL1

反向振荡放大器与片内时钟操作电路的输入端。

#### XTAL2

反向振荡放大器的输出端。

#### AVCC

AVCC是端口A与A/D转换器的电源。不使用ADC时，该引脚应直接与VCC连接。使用ADC时应通过一个低通滤波器与VCC连接。

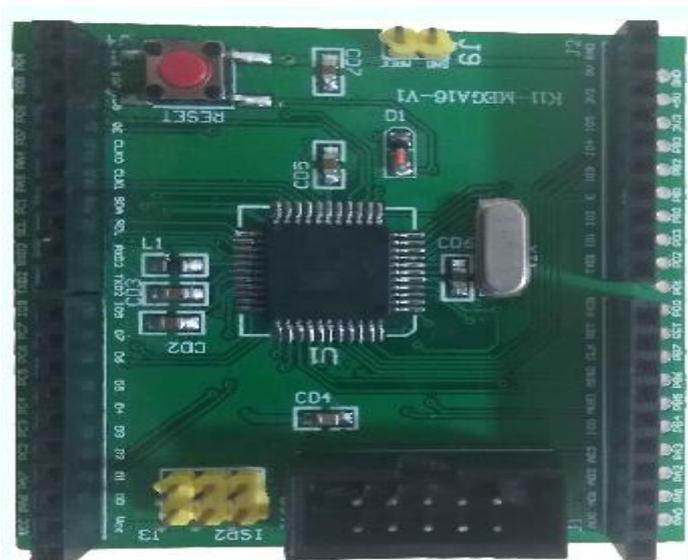
#### AREF

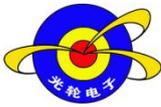
A/D的模拟基准输入引脚。

详情介绍参见MCU使用手册。

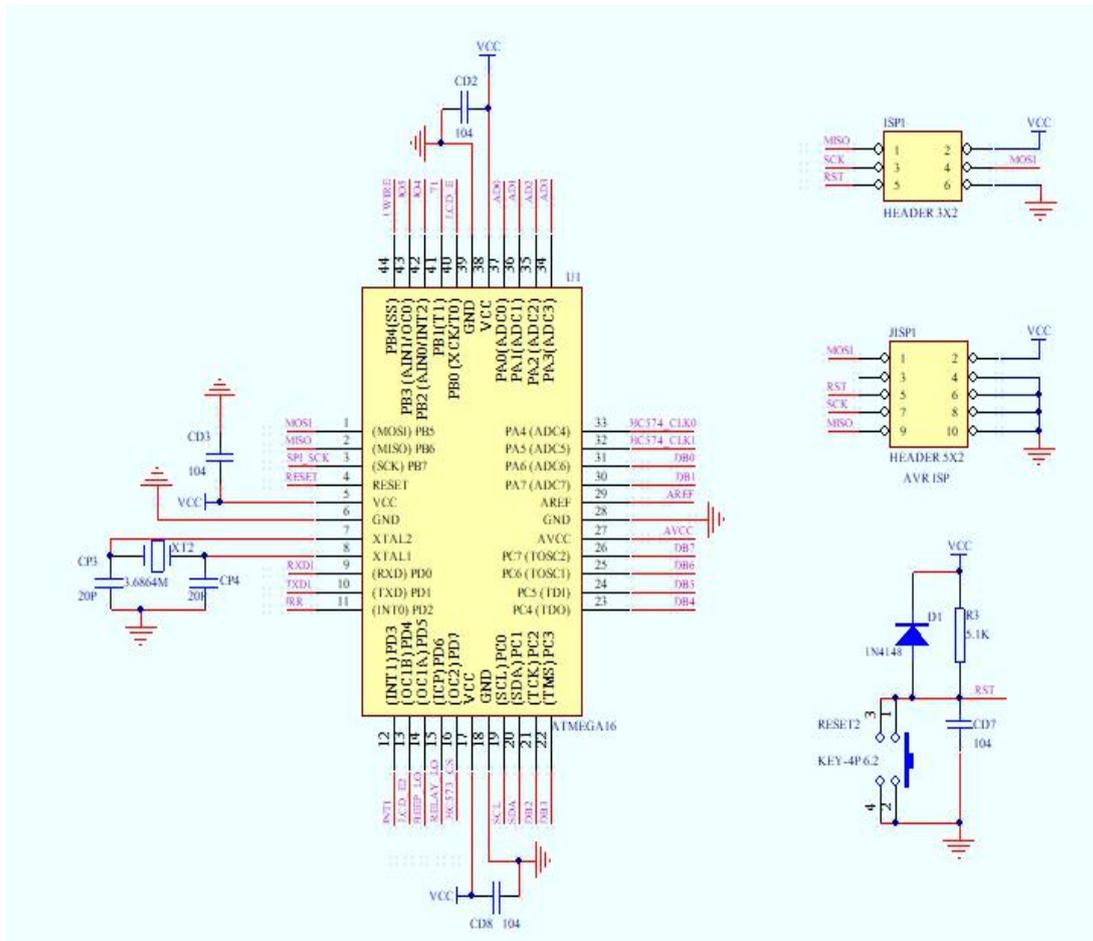
## 二、硬件调试

(1)、硬件实物图展示如下图：





(2)、模块原理图接口展示如图：



(3) 单片机管脚链接表：详见收到的 AD 工程中 Device For Digital Extended Interface 的 74HC573 模块原理图。

### 三、软件调试

本案例基于光轮电子公司 TreeOS 架构运行，具体软件工程还请关注光轮电子公司 TreeOS 驱动库文件。