



关于 AD7705 模块的技术文档

一、模块描述

1、简介：

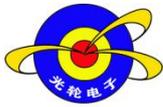
AD7705/7706 是应用于低频测量的 2/3 通道的模拟前端。该器件可以接受直接来自传感器的低电平的输入信号，然后产生串行的数字输出。利用 Σ - Δ 转换技术实现了 16 位无丢失代码性能。选定的输入信号被送到一个基于模拟调制器的增益可编程专用前端。片内数字滤波器处理调制器的输出信号。通过片内控制寄存器可调节滤波器的截止点和输出更新速率，从而对数字滤波器的第一个陷波进行编程。

2、产品性能参数及特点：

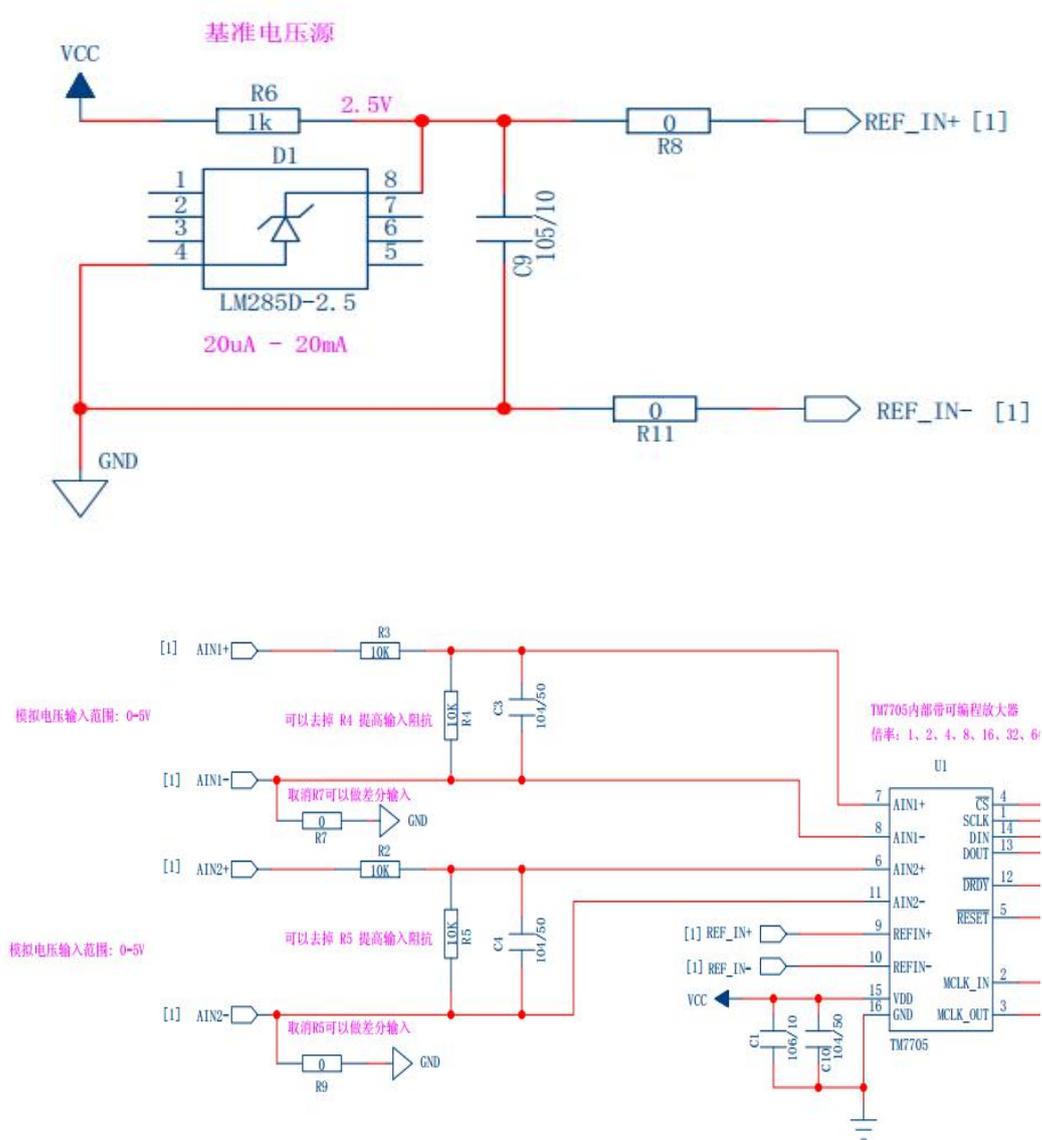
- ◆ AD7705： 2 个全差分输入通道的 ADC
- ◆ AD7706： 3 个伪差分输入通道的 ADC 16 位无丢失代码 0.003% 非线性
- ◆ 可编程增益前端增益： 1~128
- ◆ 三线串行接口 SPITM、 QSPITM、 MICROWIRETM 和 DSP 兼容
- ◆ 有对模拟输入缓冲的能力
- ◆ 2.7~3.3V 或 4.75~5.25V 工作电压
- ◆ 3V 电压时，最大功耗为 1mW
- ◆ 等待电流的最大值为 8 μ A
- ◆ 16 脚 DIP、 SOIC 和 TSSOP 封

3、产品应用场合：

AD7705/7706 是用于智能系统、微控制器系统和基于 DSP 系统的理想产品。其串行接口可配置为三线接口。增益值、信号极性以及更新速率的选择可用串行输入由软件来配置。该器件还包括自校准和系统校准选项，以消除器件本身或系统的增益和偏移误差。



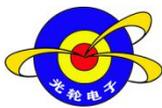
二、模块原理图





三、引脚功能

编号	名称	功能
1	SCLK	串行时钟，施密特逻辑输入。将一个外部的串行时钟加于这一输入端口，以访问 AD7705/7706 的串行数据。该串行时钟可以是连续时钟以连续的脉冲串传送所有数据。反之，它也可以是非连续时钟，将信息以小批型数据发送给 AD7705/7706
2	MCLKIN	为转换器提供主时钟信号。能以晶体/谐振器或外部时钟的形式提供。晶体/谐振器可以接在 MCLKIN 和 MCLKOUT 二引脚之间。此外，MCLKIN 也可用 CMOS 兼容的时钟驱动，而 MCLKOUT 不连接。时钟频率的范围为 500kHz ~ 5MHz
3	MCLKOUT	当主时钟为晶体/谐振器时，晶体/谐振器被接在 MCLKIN 和 MCLKOUT 之间。如果在 MCLKIN 引脚处接上一个外部时钟，MCLKOUT 将提供一个反相时钟信号。这个时钟可以用来为外部电路提供时钟源，且可以驱动一个 CMOS 负载。如果用户不需要，MCLKOUT 可以通过时钟寄存器中的 CLKDIS 位关掉。这样，器件不会在 MCLKOUT 脚上驱动电容负载而消耗不必要的功率
4	$\overline{\text{CS}}$	片选，低电平有效的逻辑输入，选择 AD7705/7706。将该引脚接为低电平，AD7705/7706 能以三线接口模式运行（以 SCLK、DIN 和 DOUT 与器件接口）。在串行总线上带有多个器件的系统中，可由 $\overline{\text{CS}}$ 对这些器件作出选择，或在与 AD7705/7706 通信时， $\overline{\text{CS}}$ 可用作帧同步信号
5	RESET	复位输入。低电平有效的输入，将器件的控制逻辑、接口逻辑、校准系数、数字滤波器和模拟调制器复位至上电状态
6	AIN2 (+) [AIN1]	对于 AD7705，差分模拟输入通道 2 的正输入端。对于 AD7706，模拟输入通道 1 的输入端
7	AIN1 (+) [AIN2]	对于 AD7705，差分模拟输入通道 1 的正输入端；对于 AD7706，模拟输入通道 2 的输入端



8	AIN1 (-) [COMMON]	对于 AD7705, 差分模拟输入通道 1 的负输入端; 对于 AD7706, COMMON 输入端, 模拟通道 1、2、3 的输入以此输入端为基准
9	REFIN (+)	基准输入端。AD7705/7706 差分基准输入的正输入端。基准输入是差分的, 并规定 REFIN (+) 必须大于 REFIN (-)。REFIN (+) 可以取 VDD 和 GND 之间的任何值
10	REFIN (-)	基准输入端。AD7705/7706 差分基准输入的负输入端。REFIN (-) 可以取 VDD 和 GND 之间的任何值, 且满足 REFIN (+) 大于 REFIN (-)
11	AIN2 (-) [AIN3]	对于 AD7705, 差分模拟输入通道 2 的负输入端。对于 AD7706, 模拟输入通道 3 输入端
12	$\overline{\text{DRDY}}$	逻辑输出。这个输出端上的逻辑低电平表示可从 AD7705/7706 的数据寄存器获取新的输出字。完成对一个完全的输出字的读操作后, $\overline{\text{DRDY}}$ 引脚立即回到高电平。如果在两次输出更新之间, 不发生数据读出, $\overline{\text{DRDY}}$ 将在下一次输出更新前 $500 \times t_{\text{CLKIN}}$ 时间返回高电平。当 $\overline{\text{DRDY}}$ 处于高电平时, 不能进行读操作, 以免数据寄存器中的数据正在被更新时进行读操作。当数据被更新后, $\overline{\text{DRDY}}$ 又将返回低电平。 $\overline{\text{DRDY}}$ 也用来指示何时 AD7705/7706 已经完成片内的校准序列
13	DOUT	串行数据输出端。从片内的输出移位寄存器读出的串行数据由此端输出。根据通讯寄存器中的寄存器选择位, 移位寄存器可容纳来自通讯寄存器、时钟寄存器或数据寄存器的信息
14	DIN	串行数据输入端。向片内的输入移位寄存器写入的串行数据由此输入。根据通讯寄存器中的寄存器选择位, 输入移位寄存器中的数据被传送到设置寄存器、时钟寄存器或通讯寄存器
15	VDD	电源电压, +2.7V ~ +5.25V
16	GND	内部电路的地电位基准点

四、校准

1、自校准

过向设置寄存器的 MD1 和 MD0 写入相应值 (0, 1), 器件开始自校准。在单极性输入信号范围内, 用来确定校准系数的零标度点是用差分输入对的输入端在器件内部短路 (即, 对于 AD7705, $\text{AIN}(+) = \text{AIN}(-) =$ 内部偏置电压; 对于 AD7706, $\text{AIN} = \text{COMMON} =$ 内部偏置电压)。增益可编程放大器 (PGA) 设置为用于零标度校准转换时选定的增益 (由通信寄存器内的 G1 和 G0 位设置)。满标度标准转换是在一个内部产生的 VREF 电压和选定增益的条件下完成的。校准持续时间是 $6 \times 1/\text{输出速率}$ 。它是由零标度和满标度校准的 $3 \times 1/\text{输出速率}$ 时间的总和。校准完成后, MD1 和 MD0 自动返回初始值 (0, 0), 这是校准过程结束的最早的提示。校准开始时, DRDY 处于高电平, 直到数据寄存器中有新的有效数据, DRDY 才回到低电平, DRDY 从高电平到低电平这个过程的持续时间是 $9 \times 1/\text{输出速率}$, 其中, 零标度校准时间、满标度校准时间和设置校准系数时间各为 $3 \times 1/\text{输出速率}$ 。所以, 从时间上来说, MD1 和 MD0 给出的校准完成提示要比 DRDY 位给出的提示早 $3 \times 1/\text{输出速率}$ 。如果 DRDY 在校准指令写入设置寄存器之前处于低电平, 可能需要一个额外的调制周期的时间, —DRDY



才能变为高电平，由此显示校准已经开始，因此，在最后一个字节写入设置寄存器之后，可以对 DRDY 不予理会。对于双极性输入范围的自校准，整个过程与上述过程相似，零标度和满标度点几乎与单极性输入的一样，但由 AD7705/7706 是配置成双极性输入工作的，输入点范围的缩短，实际上处于转换函数的中间区域。

2、系统校准

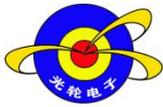
通过系统校准，AD7705/7706 可以对系统增益、偏移误差以及器件本身的内部误差进行补偿。系统校准执行和自校准一样的斜率系数计算，但用的电压值是系统对 AIN 输入端用于零和满标度校准的电压值。系统校准的全过程分两个步骤进行，首先是 ZS 系统校准，接着进行 FS 系统校准。对于一次整个系统校准，零标度点必须在校准一开始首先被送到转换器，并且，需保持稳定直到校准结束。

3、ZS 系统校准

系统的零标度电压值一经设定，通过向设置寄存器的 MD1 和 MD0 写入 (1, 0)，就开始 ZS 系统校准。零标度系统校准在选定的增益下进行。零标度校准持续时间是 $3 \times 1/\text{输出速率}$ 。在校准过程中，MDO 和 MD1 以及 DRDY 的变化情况和自校准中的变化情况相似。不过，从校准命令发出至 DRDY 变成低电平所需时间是 $4 \times 1/\text{输出速率}$

4、FS 系统校准

零标度点校准后，将满标度电压值施加给 AIN 端，然后向 MD1 和 MD0 分别写入 (1, 1)，FS 系统校准就开始了。同样，在校准开始之前，必须设定满标度电压值，并且在整个校准过程中，使之保持稳定。校准过程中，MDO 和 MD1 以及 DRDY 的变化过程同 ZS 系统校准过程。在单极性模式下，系统校准是在转换函数的两个端点之间完成；在双极性模式下，它是在中标度（零差分电压）和正的满标度之间完成。系统校准是分二步进行的，在全系统的校准序列已经完成之后，偏移和增益校准能自动执行，以调节系统零基准点或系统增益。校准系统偏移或增益两个参数中的任何一个，不会影响另一个。当器件在非缓冲模式下使用时，系统校准还可以用来消除模拟输入端由电源阻抗引入的任何误差。模拟前端一个简单的 R、C 反重叠滤波器就可能在模拟输入电压引入增益误差，但是系统校准可以消除这种误差。



<http://www.treeos.com>

五、接口定义:

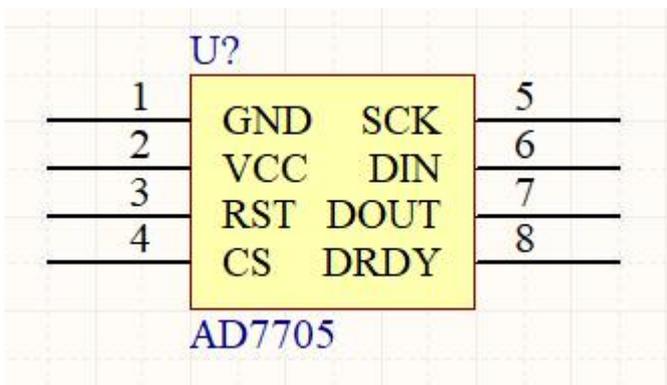
- 1)、GND -----电源地
- 2)、VCC -----电源正
- 3)、RST -----复位
- 4)、CS -----片选
- 5)、SCK ----- SPI 时钟
- 6)、DIN -----MOSI
- 7)、DOUT ----- MISO
- 8)、DRDY -----状态
- 9)、AIN1+ -----通道 1 正输入端
- 10)、AIN1- -----通道 1 负输入端
- 11)、AIN2+ -----通道 2 正输入端
- 12)、AIN2- -----通道 2 负输入端

六、硬件调试

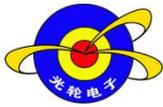
(1) 硬件实物图展示如下图:



(2) 模块原理图接口展示如图(模式 4):



(3) 单片机管脚链接表: 详见收到的 AD 工程中的 Device For AD 中的 PCF8591 模块原理图。



七、软件调试

本工程实现的是测量电压的功能。

本案例基于光轮电子公司 TreeOS 软件开发架构运行，具体软件工程还请关注光轮电子公司 TreeOS 驱动库文件。以下是工程架构截图和主要工程文件：

